

ABSTRACT OF Korean Patent Application No. 10-1997-0048109

The present invention relates to a MOSFET transistor having source/drain regions with shallow junction and a method for fabricating the same. The MOSFET transistor includes a buried insulating layer beneath the source/drain regions. The buried insulating
5 layer performs a function to prevent leakage current caused by source/drain silicidation so as to reduce a sheet resistance and a contact resistance. As a result, an operation characteristic of devices is improved.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/772

(11) 공개번호 특1999-026126
(43) 공개일자 1999년04월15일

(21) 출원번호	특1997-048109
(22) 출원일자	1997년09월22일
(71) 출원인	삼성전자 주식회사 윤종용
	경기도 수원시 팔달구 매탄3동 416
(72) 발명자	안중현
	경기도 수원시 팔달구 매탄3동 990번지 주공2단지 아파트 137동 401호
(74) 대리인	임창현

심사청구 : 있음

(54) 얇은 접합의 소오스/드레인을 갖는 모스트랜지스터 및 그것의 제조방법

요약

얇은 접합의 소오스/드레인 영역을 갖는 금속-산화물-반도체(MOS) 전계 효과 트랜지스터는 소오스/드레인 아래에 형성된 매몰 절연층을 갖는다. 이 매몰 절연층은 면 저항과 접촉 저항의 감소를 위한 소오스/드레인 실리사이드이션으로 인한 누설 전류를 차단해 줌으로써 디바이스의 동작 특성을 개선시킨다.

도표도

도2

발명서

도면의 간단한 설명

도 1은 종래의 얇은 접합의 소오스/드레인 영역을 갖는 MOS 트랜지스터의 개략적 단면도;

도 2는 본 발명의 일 실시예에 따른 얇은 접합의 소오스/드레인 영역을 갖는 MOS 트랜지스터의 개략적 단면도;

도 3a 내지 도 3h는 도 2의 MOS 트랜지스터의 제조 공정들을 보여주는 개략적인 단면도들이다.

도면의 주요 부분에 대한 부호의 설명

- | | |
|------------------------|-------------------|
| 1, 21 : 반도체 기판 | 2, 22 : 필드 산화막 |
| 3, 23 : 게이트 산화막 | 4, 24 : 폴리실리콘 게이트 |
| 5 : 산화막 | 6 : 매몰 산화층 |
| 7 : 포토레지스트 | |
| 8, 28 : 저농도 소오스/드레인 영역 | |
| 9, 29 : 고농도 소오스/드레인 영역 | |
| 10 : Ti 또는 Co 막 | 11, 31 : 실리사이드 층 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 금속-산화물-반도체(metal oxide semiconductor; MOS) 전계 효과 트랜지스터(field effect transistor) 및 그것의 제조 방법에 관한 것이다. 더 구체적으로, 본 발명은 얇은 접합의 소오스/드레인 영역을 갖는 MOS 트랜지스터 구조 및 그것의 제조 방법에 관한 것이다.

반도체 디바이스의 제조 기술의 지속적인 발달에 따라 디바이스의 디자인 룰(design rule)은 더욱 감소되고 있다. 이와 같은 디바이스의 크기 축소에 의해, MOS 트랜지스터의 소오스/드레인의 접합 깊이(junction depth)는 더욱 얇아질 것이 요구되고 있다.

최근에, 소오스/드레인의 접합 깊이의 축소를 위해, 소오스/드레인 이온 주입 후에, 할로겐 램프(halogen lamp)를 사용하여 웨이퍼의 표면에 대한 급속 열처리(rapid thermal annealing)를 수행함으로써 전체 웨

이퍼가 아니라 소오스/드레인 영역만이 가열되어서 거기에 있는 불순물이 활성화되도록 한다.

그러나, 소오스/드레인의 접합 깊이의 축소는 소오스/드레인과 기판(또는 웰) 간의 공핍 폭(depletion width)의 축소를 불러온다. 이와 같은 공핍 폭의 축소는 소오스/드레인과 기판(또는 웰) 간의 접합 용량(junction capacitance)의 증가를 야기해서 디바이스의 동작 속도를 저하시킨다. 또, 공핍 폭이 작아질수록 소오스/드레인과 기판(또는 웰) 간의 접합 누설 전류(junction leakage current)가 증가된다.

얇은 접합을 갖는 디바이스의 동작 속도를 향상시키기 위해, 도 1에 도시된 바와 같이, 소오스/드레인과 게이트에 실리사이드 층들(silicide layers)(31)을 형성해서 면 저항(sheet resistance)과 접촉 저항(contact resistance)을 줄이는 기술이 제안된 바 있다. 이와 같은 실리사이드화(silicidation) 기술에 의하면, 디바이스의 턴온-저항(turn-on resistance)이 감소되고 드레인 포화 전류(drain saturation current)가 증가됨으로써 디바이스의 동작 속도가 빨라진다.

일반적으로, 디바이스의 정상적인 동작을 위해서는 소오스/드레인 접합의 공핍 폭이 적어도 150nm 정도는 되어야 한다. 그러나, 위와 같이 소오스/드레인 영역에 실리사이드 막들을 형성하는 경우에는 그렇지 않은 경우에 비해 접합의 깊이가 상대적으로 더 축소됨으로써 충분한 공핍 폭의 확보가 곤란하다. 더욱이, 디바이스의 크기가 더 축소되면 디바이스의 접합 깊이와 공핍 폭도 더 작아지게 될 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 접합 용량 및 누설 전류로 인한 전기적 특성의 열화를 방지할 수 있는 얇은 접합의 MOS 트랜지스터 구조 및 그것의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 금속-산화물-반도체(MOS) 전계 효과 트랜지스터는: 소자 분리 영역들(device isolation regions)과 채널 영역(channel region)을 갖는 반도체 기판과; 상기 채널 영역 상의 게이트 절연층(gate insulating layer)과; 상기 게이트 절연층 상의 게이트 전극(gate electrode)과; 상기 게이트 전극의 측벽들(sidewalls) 상의 스페이서들(spacers)과; 상기 측벽 스페이서들과 각각 대향하는 상기 소자 분리 영역들 사이의 상기 기판의 표면들에 각각 형성된 실리사이드 층들과; 상기 금속 실리사이드 층들 아래에 형성된 매몰 절연층들(buried insulating layers) 및; 상기 측벽 스페이서들의 아래 그리고 상기 채널 영역의 양측과 상기 각 실리사이드 층들 사이에 각각 형성된 소오스 영역 및 드레인 영역으로 구성된다.

본 발명의 다른 특징에 따르면, MOS 전계 효과 트랜지스터는 반도체 기판과; 상기 기판 내에 형성되는 그리고 소자 분리 영역들과 채널 영역을 갖는 웰(well)과; 상기 채널 영역 상의 게이트 절연층과; 상기 게이트 절연층 상의 게이트 전극과; 상기 게이트 전극의 측벽들 상의 스페이서들과; 상기 측벽 스페이서들과 각각 대향하는 상기 소자 분리 영역들 사이의 상기 기판의 표면들에 각각 형성된 실리사이드 층들과; 상기 금속 실리사이드 층들 아래에 형성된 매몰 절연층들 및; 상기 측벽 스페이서들의 아래 그리고 상기 채널 영역의 양측과 상기 각 실리사이드 층들 사이에 각각 형성된 소오스 영역 및 드레인 영역으로 구성된다.

실시예들에 있어서, 상기 소오스 및 드레인 영역들 각각은 저농도 영역과 고농도 영역을 갖는다. 상기 매몰 절연층들은 상기 측벽 스페이서들과 공간적으로 겹쳐진다. 상기 각 매몰 절연층들은 산화층들(oxide layers)이다.

본 발명의 또 다른 특징에 따르면, MOS 전계 효과 트랜지스터를 제조하는 방법은: 반도체 기판의 활성 영역 내에 정의된 채널 영역 상에 게이트를 형성하는 단계와; 상기 게이트 양측에 그리고 상기 기판의 표면으로부터 그 아래로 소정의 깊이 만큼 떨어진 위치에 정의된 영역들에 불순물을 주입하는 단계와; 열처리를 수행해서 상기 불순물-주입된 영역들에 매몰 절연층들을 형성하는 단계 및; 상기 기판의 표면과 상기 매몰 절연층들 사이에 소오스 및 드레인 영역들을 형성하는 단계를 포함한다.

이상과 같은 본 발명에 따르면, 소오스/드레인 영역 아래의 매몰 절연층이 소오스/드레인 영역으로부터 기판 또는 웰로 흐르는 누설 전류를 차단함으로써 얇은 접합 디바이스의 동작 특성이 개선된다.

다음에는 첨부된 도면들을 참조하여 본 발명의 실시예에 대해 상세히 설명한다. 첨부된 도면들에서, 동일한 참조 번호들은 동일한 부분들을 각각 나타낸다.

실시예

도 2를 참조하면, 본 발명의 얇은 접합 MOS 트랜지스터는 반도체 기판(또는 웰)(1) 내에 형성된 소자 분리용 필드 산화막들(2)과 매몰 절연층들(6)을 구비하고 있다. 상기 매몰 절연층들(6)은 소오스 및 드레인 영역들(12) 아래에 형성되어 있다. 나아가, 상기 트랜지스터는 채널 영역 상의 게이트 절연층(3)과, 상기 게이트 절연층(3) 상의 폴리실리콘 게이트 전극(4a)와, 상기 게이트 전극(4a)의 측벽들 상의 스페이서들(5a)와, 상기 측벽 스페이서들(5a)과 각각 대향하는 필드 산화막들(2) 사이의 상기 기판의 표면들에 각각 형성된 실리사이드 층들(11)과, 소오스 및 드레인 영역들(12)을 구비한다. 상기 각 소오스/드레인 영역들(12)은 저농도 영역(8a)와 고농도 영역(9a)로 이루어지는 LDD(lightly doped drain) 구조를 갖는다. 상기 소오스 및 드레인 영역들(6) 아래에 있는 상기 매몰 절연층들(6)은 얇은 접합으로 인해 소오스 및 드레인 영역들(6)으로부터 기판 또는 웰로 흐르는 누설 전류를 차단한다.

도 3a 내지 도 3h는 이 실시예에 따른 MOS 트랜지스터의 제조 방법을 보여주는 개략적인 단면도들이다.

먼저, 도 3a를 참조하면, 반도체 기판(1)의 비활성 영역에는 소자 분리용 필드 산화막들(2)이 소위 LOCOS 공정에 의해 3000~5000Å의 두께로 형성된다. 드레일드 전압(threshold voltage)의 조정을 위한 채널이온 주입 공정이 수행된 후, 기판(1)의 활성 영역 내에 정의된 채널 영역 상에는 게이트 절연막(3)과 폴리실리콘 막의 게이트(4)가 순차로 형성된다. 이어서, 상기 게이트(4)를 마스크로서 사용하여 산소 분자

들(0₂) 또는 이온들이 기판(1)에 주입된다. 이때, 불순물 주입은 상기 폴리실리콘 게이트(4) 양측의 기판 표면으로부터 아래로 소정의 깊이 만큼 떨어진 위치에 정의된 영역들에 상기 불순물들이 주입되도록 조정된다. 예를 들어, 상기 주입 깊이가 30~150nm일 경우, 상기 불순물들은 30keV~180keV의 가속 에너지로 주입되는 것이 바람직하다.

다음에, 질소 분위기 하에서 약 950~1300°C의 온도로 열처리 공정이 수행되면, 도 3b에 도시된 바와 같이, 폴리실리콘 게이트(4a)의 측벽을 및 상부에 산화막들(5)이 형성됨과 아울러 상기 산소-주입된 영역들에 매몰된 규소 산화층들(6)이 형성된다. 상기 도면에서, 참조 번호 4b는 불순물들이 관통한 폴리실리콘 게이트를 표시한다.

도 3c를 참조하면, 포토레지스트(7)이 도포되고, 에치백에 의해 상부 폴리실리콘 층(4b)이 완전히 제거된다. 이어, 도 3d에 도시된 바와 같이, 상기 포토레지스트(7)이 제거된다.

도 3e를 참조하면, 경사 이온 주입이 수행된다. 이 이온 주입 공정에서, 불순물로서는 P(또는 B)가 사용되고, 불순물 주입의 틸트 각도는 40~60°이다. 이와 같은 이온 주입에 의해, 기판(1)의 노출된 표면과 상기 매몰 산화층들(6) 사이에 저농도의 소오스 및 드레인 영역들 즉, n⁺(또는 p⁺) 영역들(7)이 형성된다. 이때, 상기 각 저농도 소오스 및 드레인 영역들(7)의 일부는 상기 폴리실리콘 게이트(4a)와 공간적으로 겹쳐진다.

도 3f를 참조하면, 폴리실리콘 게이트(4a)의 상부 표면이 노출될 때까지 에치백을 수행하는 것에 의해, 상기 폴리실리콘 게이트의 상기 측벽에 스페이서(5a)가 형성된다. 이어, 이온 주입에 의해 상기 기판 표면과 상기 매몰 산화층들(6) 사이에 고농도의 소오스 및 드레인 영역들 즉, n⁺(또는 p⁺) 영역들(9)이 형성된다. 이 이온 주입 공정에서, 불순물로서는 As(또는 BF₃)가 사용된다. 상기 각 고농도 소오스 및 드레인 영역들(9)의 일부는 상기 측벽 스페이서들(5a)와 각각 공간적으로 겹쳐진다. 위의 공정들에 의해, LDD 구조의 소오스/드레인이 형성된다.

도 3g를 참조하면, 기판의 전체 표면 위에는, 타이타늄(Ti) 또는 코발트(Co) 막이 200~500Å의 두께로 침적된다.

마지막으로, 도 3h를 참조하면, 열처리가 수행된다. 이 열처리에 의해 상기 필드 산화막들(2)와 상기 측벽 스페이서들(5a) 사이의 상기 고농도 소오스 및 드레인 영역들에 실리사이드 막들(11)이 300~800Å의 두께로 형성된다. LDD 구조의 소오스/드레인(12)의 저농도 영역(8a)와 고농도 영역(9a)는 폴리실리콘 게이트(4a)와 측벽 스페이서들(5a)와 중첩된다. 측벽 스페이서들(5a) 및 필드 산화막들(2) 상에 남아있는 Ti 또는 Co 막들(10a 및 10b)이 제거된다.

이후에는, 통상적인 배선 공정이 수행되어서 MOS 트랜지스터의 제조가 완료된다.

이 기술 분야의 통상적인 전문가들은 여기에 개시된 본 발명의 사상과 범위 내에서 본 발명의 다양한 실시예들이 있을 수 있다는 것을 잘 이해할 수 있을 것이다. 여기에 개시된 특정 명제와 실시예는 단지 예로서만 고려되어야 하며, 본 발명의 진정한 범위와 사상은 첨부된 클레임에 나타나 있다.

발명의 효과

이상과 같은 본 발명에 따르면, 소오스/드레인 영역 아래의 매몰 절연층이 소오스/드레인 영역으로부터 기판 또는 웰로 흐르는 누설 전류를 차단함으로써 얇은 접합 디바이스의 동작 특성이 개선된다. 또, 접합 깊이나 접합 누설 전류를 고려할 필요가 없기 때문에, 실리사이드 막들의 형성시 상기 실리사이드 막 두께의 제어가 불필요하다.

(57) 청구의 범위

청구항 1

금속-산화물-반도체(MOS) 전계 효과 트랜지스터에 있어서:

소자 분리 영역들과 채널 영역을 갖는 반도체 기판과;

상기 채널 영역 상의 게이트 절연층과;

상기 게이트 절연층 상의 게이트 전극과;

상기 게이트 전극의 측벽을 상의 스페이서들과;

상기 각 측벽 스페이서들과 각각 대향하는 상기 소자 분리 영역들 사이의 상기 기판의 표면들에 각각 형성된 실리사이드 층들과;

상기 금속 실리사이드 층들 아래에 형성된 매몰 절연층들 및;

상기 측벽 스페이서들의 아래 그리고 상기 채널 영역의 양측과 상기 각 실리사이드 층들 사이에 각각 형성된 소오스 영역 및 드레인 영역을 포함하는 것을 특징으로 하는 MOS 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 소오스 및 드레인 영역들 각각은 저농도 영역과 고농도 영역을 갖는 것을 특징으로 하는 MOS 트랜지스터.

청구항 3

제 1 항에 있어서,

상기 매몰 절연층들은 상기 측벽 스페이서들과 공간적으로 겹쳐지는 것을 특징으로 하는 MOS 트랜지스터.

청구항 4

제 1 항에 있어서,

상기 매몰 절연층들은 산화층들인 것을 특징으로 하는 MOS 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 각 실리사이드 층의 두께는 300~800 Å인 것을 특징으로 하는 MOS 트랜지스터.

청구항 6

금속-산화물-반도체(MOS) 전계 효과 트랜지스터를 제조하는 방법에 있어서:

반도체 기판의 활성 영역 내에 정의된 채널 영역 상에 게이트를 형성하는 단계와;

상기 게이트 양측에 그리고 상기 기판의 표면으로부터 그 아래로 소정의 깊이 만큼 떨어진 위치에 정의된 영역들에 불순물을 주입하는 단계와;

열처리를 수행해서 상기 불순물-주입된 영역들에 매몰 절연층들을 형성하는 단계 및;

상기 기판의 표면과 상기 매몰 절연층들 사이에 소오스 및 드레인 영역들을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 각 매몰 절연층은 산화층인 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 불순물은 산소 분자 또는 이온인 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 9

제 6 항에 있어서,

상기 불순물 주입은 30~180keV의 가속 에너지로 수행되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 각 매몰 절연층은 상기 기판의 상기 표면으로부터 30~150nm의 깊이 아래에 위치하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 11

제 6항에 있어서,

상기 열처리는 950~1300°C, 질소 분위기에서 수행되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 12

금속-산화물-반도체(MOS) 전계 효과 트랜지스터를 제조하는 방법에 있어서:

반도체 기판의 비활성 영역에 소자 분리용 필드 산화막들을 형성하는 단계와;

상기 기판의 활성 영역 내에 정의된 채널 영역 상에 폴리실리콘 게이트를 형성하는 단계와;

상기 폴리실리콘 게이트 양측에 그리고 상기 기판의 표면으로부터 그 아래로 소정의 깊이 만큼 떨어진 위치에 정의된 영역들에 산소 분자들 또는 이온들을 주입하는 단계와;

열처리를 수행해서, 상기 게이트의 측벽들 및 상부에 산화막이 형성될과 아울러 상기 산소-주입된 영역들에 매몰 산화층들이 형성되도록 하는 단계와;

상기 폴리실리콘 게이트의 상기 측벽에 스페이서를 형성하는 단계와;

경사 이온 주입에 의해 상기 기판의 표면과 상기 매몰 산화층 사이에 저농도의 소오스 및 드레인 영역들을 형성하되, 상기 각 저농도 소오스 및 드레인 영역들의 일부가 상기 폴리실리콘 게이트와 공간적으로 겹쳐지도록 하는 단계와;

이온 주입에 의해 상기 기판 표면과 상기 매몰 산화층 사이에 고농도의 소오스 및 드레인 영역들을 형성하되, 상기 각 고농도 소오스 및 드레인 영역들의 일부가 상기 측벽 스페이서들과 각각 공간적으로 겹쳐지도록 하는 단계 및;

상기 측벽 스페이스들과 상기 필드 산화막들 사이의 상기 고농도 소오스 및 드레인 영역들에 실리사이드 막들을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 경사 이온 주입의 틸트 각도는 $45^{\circ} \sim 60^{\circ}$ 인 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 14

제 12 항에 있어서,

상기 실리사이드 막은 $300 \sim 800 \text{ \AA}$ 의 두께로 형성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 15

제 12 항에 있어서,

상기 실리사이드 막들을 형성하는 단계는,

상기 기판의 전체 표면에 타이타늄(Ti) 막을 형성하는 단계 및,

열처리를 수행하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 타이타늄 막은 $200 \sim 500 \text{ \AA}$ 의 두께로 형성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 17

제 12 항에 있어서,

상기 실리사이드 막들을 형성하는 단계는,

상기 기판의 전체 표면에 코발트(Co) 막을 형성하는 단계 및,

열처리를 수행하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 코발트 막은 $200 \sim 500 \text{ \AA}$ 의 두께로 형성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 19

제 12 항에 있어서,

상기 저농도 소오스 및 드레인 영역들의 형성을 위한 이온 주입 단계에서는 인(P) 이온이 주입되고, 상기 고농도 소오스 및 드레인 영역들의 형성을 위한 이온 주입 단계에서는 비소(As) 이온이 주입되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 20

제 12 항에 있어서,

상기 저농도 소오스 및 드레인 영역들의 형성을 위한 이온 주입 단계에서는 붕소(B) 이온이 주입되고, 상기 고농도 소오스 및 드레인 영역들의 형성을 위한 이온 주입 단계에서는 불화붕소(BF₂) 이온이 주입되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

청구항 21

금속-산화물-반도체(MOS) 전계 효과 트랜지스터에 있어서:

반도체 기판과;

상기 기판 내에 형성되는 그리고 소자 분리 영역들과 채널 영역을 갖는 웰과;

상기 채널 영역 상의 게이트 절연층과;

상기 게이트 절연층 상의 게이트 전극과;

상기 게이트 전극의 측벽들 상의 스페이스들과;

상기 각 측벽 스페이스들과 각각 대향하는 상기 소자 분리 영역들 사이의 상기 기판의 표면들에 각각 형성된 실리사이드 층들과;

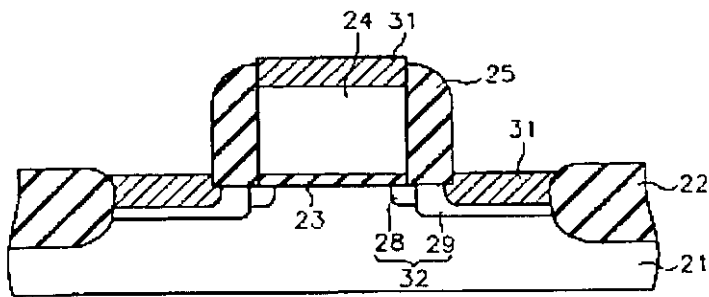
상기 금속 실리사이드 층들 아래에 형성된 매몰 절연층들 및;

상기 측벽 스페이스들의 아래 그리고 상기 채널 영역의 양측과 상기 각 실리사이드 층들 사이에 각각 형성된 소오스 영역 및 드레인 영역을 포함하는 것을 특징으로 하는 MOS 트랜지스터.

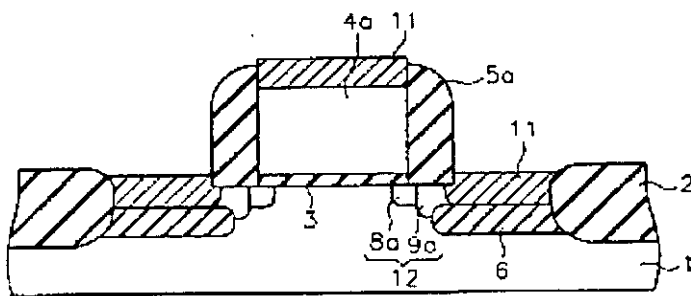
도면

도면1

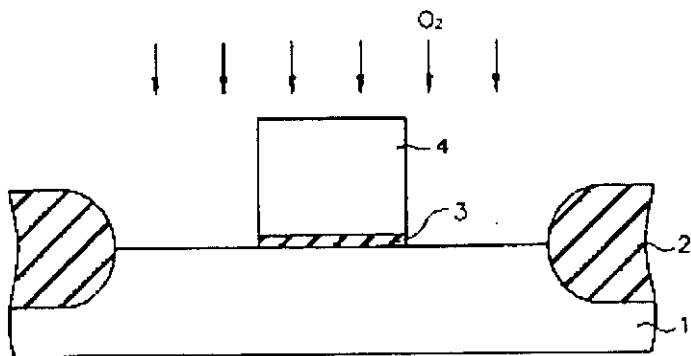
(중재 기술)



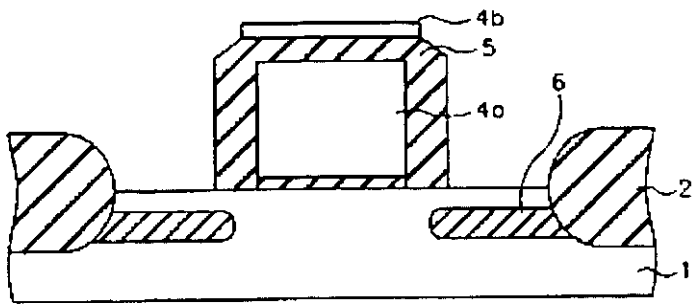
도면2



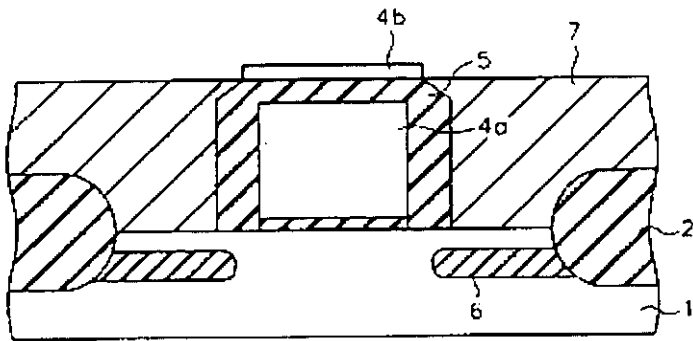
도면3a



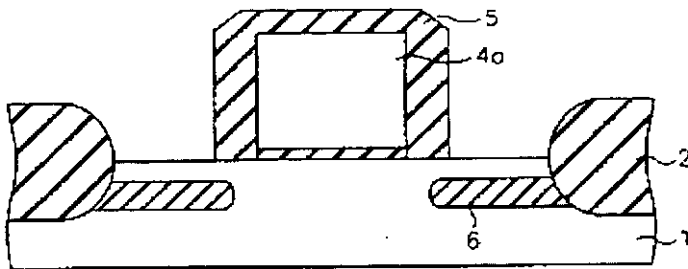
도 3b



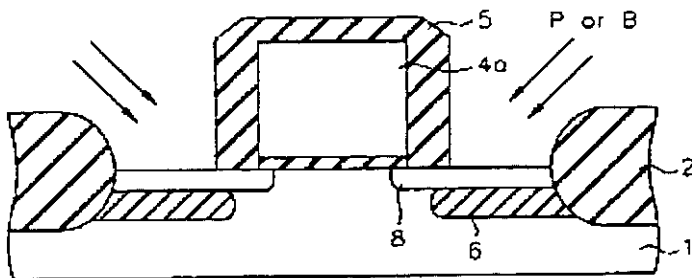
도 3c



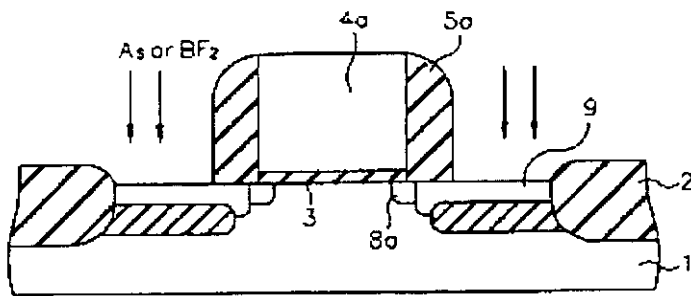
도 3d



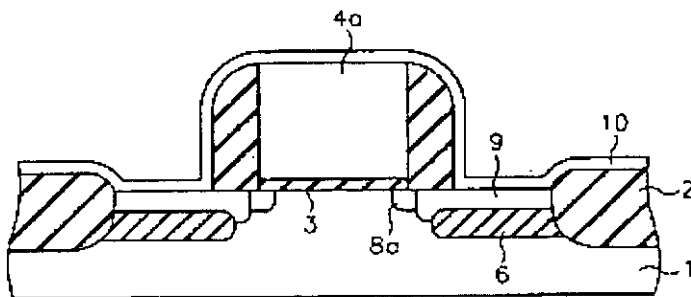
도 3e



도 3f



도 3g



도 3h

